

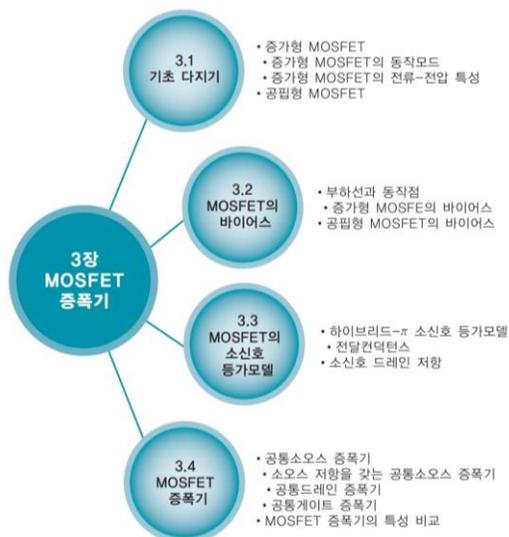
CHAPTER 03
MOSFET 증폭기
MOSFET Amplifiers

신경욱 교수
금오공과대학교

2017. 3.

Contents

3장 MOSFET 증폭기



3.1 기초 다지기

3.1.1 증가형 MOSFET

3.1.2 증가형 MOSFET의 동작모드

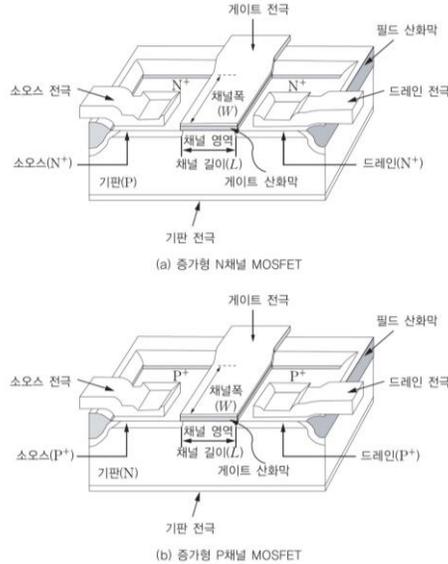
3.1.3 증가형 MOSFET의 전류-전압 특성

3.1.4 공핍형 MOSFET

MOSFET

- MOSFET; Metal-Oxide-Semiconductor Field Effect Transistor
- 금속(게이트)-산화막(절연체)-반도체(채널)의 구조
- 제작방법과 동작방식에 따라 MOSFET와 MOSFET로 구분됨
- MOSFET의 소자 형태(N채널 또는 P채널): 소오스/드레인 영역의 도우핑 형태에 의해 결정되며, **기판의 도우핑 형태와**
 - N채널 MOSFET; 기판이 반도체
 - P채널 MOSFET; 기판이 반도체

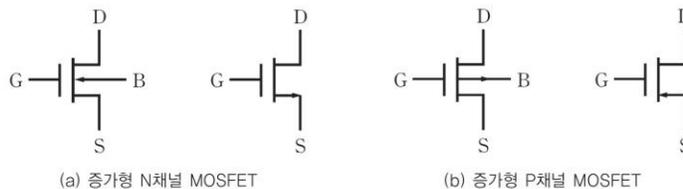
증가형(Enhancement type) MOSFET의 구조



[그림 3-1] 증가형 MOSFET의 구조

증가형 MOSFET의 회로 기호

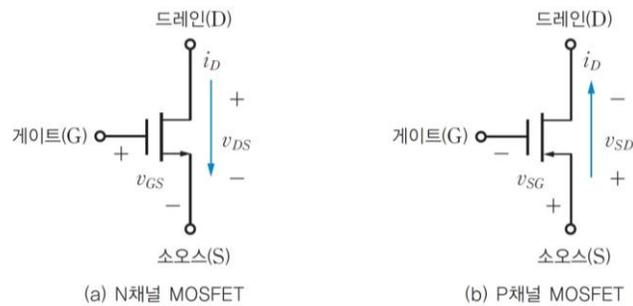
- 기판 또는 소오스 단자의 화살표 방향으로 N채널 또는 P채널을 구별함
- 기판 단자; 소오스 단자로 연결되거나 소오스/드레인-기판의 PN 접합이 역방향 바이어스 되도록 적절한 전압이 인가됨
- MOSFET와 BJT의 단자 대응
 - 게이트(gate) ↔ 베이스, 소오스(source) ↔ 이미터, 드레인(drain) ↔ 컬렉터



[그림 3-2] 증가형 MOSFET의 기호

증가형 MOSFET의 각 단자 전류와 전압

- ❖ 게이트: 산화막으로 절연되어 있어 게이트 단자에는 전류가 흐르지 않음
 - 전압의 극성과 크기에 따라 소오스와 드레인 사이의 전류흐름이 제어됨
- ❖ 소오스: 전류를 운반하는 캐리어를 공급함
- ❖ 드레인: 소오스에서 공급된 캐리어가 채널을 지나 소자 밖으로 방출됨
 - 소오스/드레인과 기판 사이에는 전류가 흐르지 않음



[그림 3-3] 증가형 MOSFET의 단자 전류와 전압 표시

증가형 MOSFET

핵심포인트 증가형 MOSFET의 구조

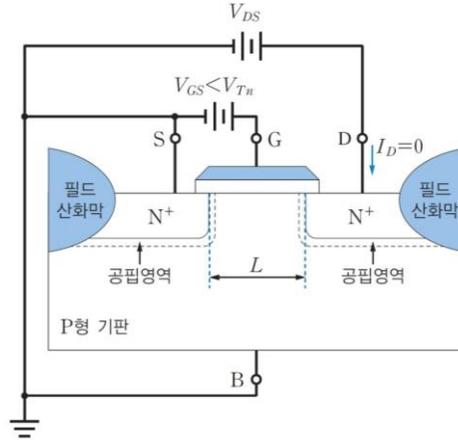
- 증가형 MOSFET는 게이트, 소오스, 드레인, 기판의 4개 단자를 가지며, 게이트 단자는 게이트 산화막에 의해 절연되어 있다.
- 증가형 MOSFET에서 소오스/드레인의 도우핑 형태와 기판의 도우핑 형태는 반대이다.
- N채널 MOSFET와 P채널 MOSFET는 소오스/드레인, 기판의 도우핑 형태가 반대이다.

증가형 MOSFET의 동작모드

❖ 게이트-소오스 전압(V_{GS})과 드레인-소오스 전압(V_{DS})에 따라 세 가지 동작모드(차단모드, 비포화모드, 포화모드)를 가짐

❖ **차단(cutoff) 모드:**

- 채널이 형성되지 않아 소오스와 드레인 사이에 전류가 흐르지 않음
- 로 동작함

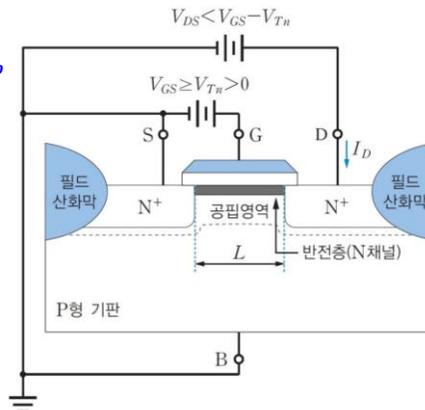


[그림 3-4] 증가형 N채널 MOSFET의 차단모드 상태

증가형 MOSFET의 동작모드

❖ **비포화(non-saturation) 모드:**

- 채널이 형성되어 소오스-드레인 사이에 전류가 흐름
- V_{GS} 와 V_{DS} 가 증가할수록 드레인 전류도 증가함
- 로 동작함
- 문턱전압(threshold voltage); V_{Tn}, V_{Tp}
 - 채널형성에 필요한 최소 게이트 전압
 - N채널 MOSFET; $V_{Tn} > 0$
 - P채널 MOSFET; $V_{Tp} < 0$

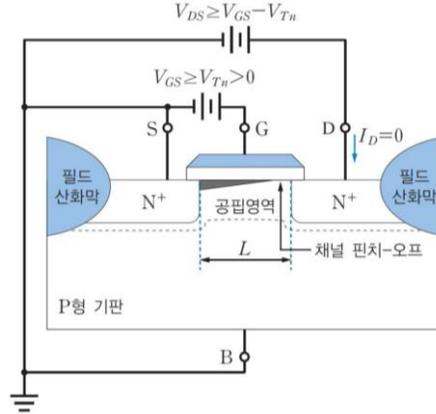


[그림 3-5] 증가형 N채널 MOSFET의 비포화모드 상태

증가형 MOSFET의 동작모드

❖ 포화(saturation) 모드:

- 드레인 근처에서 채널이 없어지는 채널 핀치-오프(pinch-off)가 발생
- 채널이 형성되어 소오스-드레인 사이에 전류가 흐름
- V_{DS} 가 증가해도 드레인 전류는 일정하게 유지됨(2차효과 무시)
- 로 사용되는 동작모드임



[그림 3-6] 증가형 N채널 MOSFET의 포화모드 상태

전류-전압 특성

❖ 비포화 동작모드

- 드레인 전류가 게이트 전압과 드레인 전압 모두에 의해 영향 받음

$$I_D = K_n \left[\text{input} \right] \quad (\text{단, } V_{DS} < V_{GS} - V_{Tn}) \quad (3.1)$$

$$K_n = \mu_n C_{ox} \left(\frac{W}{L} \right) \quad (3.2)$$

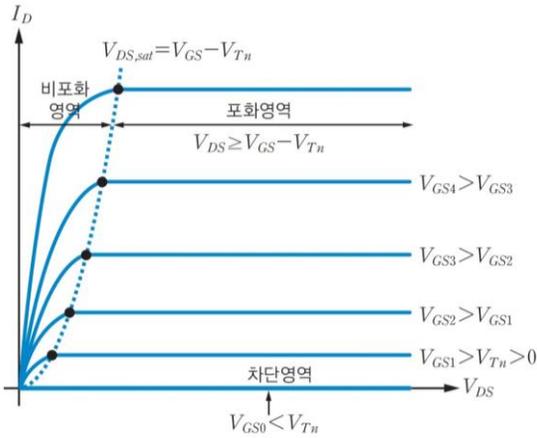
❖ 포화 동작모드

- 드레인 전류가 드레인 전압에 무관하게 게이트 전압에만 영향 받음

$$I_D = \frac{1}{2} K_n \left[\text{input} \right] \quad (\text{단, } V_{DS} \geq V_{GS} - V_{Tn}) \quad (3.3)$$

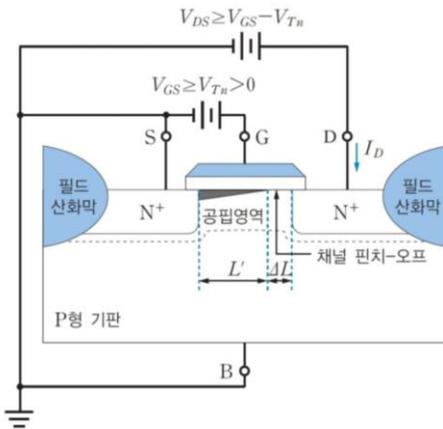
전류-전압 특성

- 포화모드와 비포화모드의 경계: 인 값들의 꺾적
 → 포화모드와 비포화모드의 명칭이 BJT와 반대임에 유의



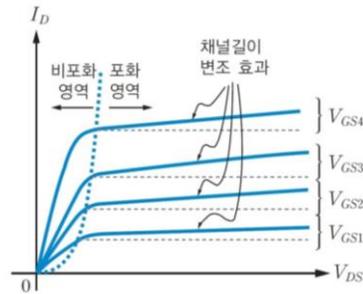
[그림 3-7] 증가형 N채널 MOSFET의 전류-전압 특성

채널길이변조(Channel length modulation) 효과



(a) 채널 핀치-오프에 의한 유효 채널 길이의 감소

BJT에서는 베이스 폭 변조효과



(b) 채널길이변조 효과를 고려한 전류-전압 특성 곡선

[그림 3-8] 증가형 N채널 MOSFET의 채널길이변조 효과

채널길이변조 효과

- 포화모드에서 드레인 전압이 증가함에 따라 채널의 핀치-오프가 증가하여 채널 길이가 ΔL 만큼 짧아짐
 - V_{DS} 가 증가할수록 ΔL 이 커지고, 채널 길이가 감소함($L' = L - \Delta L$)
 - K_n 값이 커지고 드레인 전류가
- 포화모드로 동작하는 MOSFET의 드레인 으로 나타남 (3.3.3절 참조)

$$I_D = \frac{1}{2}K_n(V_{GS} - V_{Tn})^2(1 + \lambda V_{DS}) \quad (3.4)$$

증가형 MOSFET의 특성

핵심포인트 증가형 MOSFET의 동작모드

동작모드	N채널 MOSFET [$V_{Tn} > 0, K_n = \mu_n C_{ox}(W/L)$]			
	전압 조건	드레인 전류	응용	
차단	$V_{GS} < V_{Tn}$	—	$I_D = 0$	열린 스위치
비포화	$V_{GS} \geq V_{Tn}$	$V_{DS} < V_{GS} - V_{Tn}$	$I_D = K_n \left[(V_{GS} - V_{Tn})V_{DS} - \frac{1}{2}V_{DS}^2 \right]$	닫힌 스위치
포화		$V_{DS} \geq V_{GS} - V_{Tn}$	$I_D = \frac{1}{2}K_n(V_{GS} - V_{Tn})^2$	증폭기

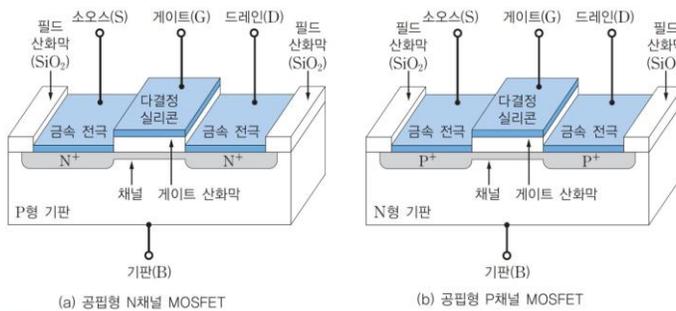
동작모드	P채널 MOSFET [$V_{Tp} < 0, K_p = \mu_p C_{ox}(W/L)$]			
	전압 조건	드레인 전류	응용	
차단	$V_{SG} < V_{Tp}$	—	$I_D = 0$	열린 스위치
비포화	$V_{SG} \geq V_{Tp}$	$V_{SD} < V_{SG} + V_{Tp}$	$I_D = K_p \left[(V_{SG} + V_{Tp})V_{SD} - \frac{1}{2}V_{SD}^2 \right]$	닫힌 스위치
포화		$V_{SD} \geq V_{SG} + V_{Tp}$	$I_D = \frac{1}{2}K_p(V_{SG} + V_{Tp})^2$	증폭기

[예제 3-1]

증가형 N채널 MOSFET가 포화모드로 동작하며, $V_{DS1}=2V$ 에서 드레인 전류 $I_{D1}=1.5mA$ 가 흐른다. $V_{DS2}=4V$ 로 증가했을 때, 드레인 전류의 변화를 구하라. 단, 게이트-소오스 전압은 $V_{GS}>V_{Tn}$ 이고 일정한 값을 유지하며, $\lambda=0.3V^{-1}$ 이다.

공핍형(Depletion type) MOSFET

- 증가형 MOSFET와 동일한 구조이나, 제조과정에서 채널이 미리 만들어짐



[그림 3-9] 공핍형 MOSFET의 구조



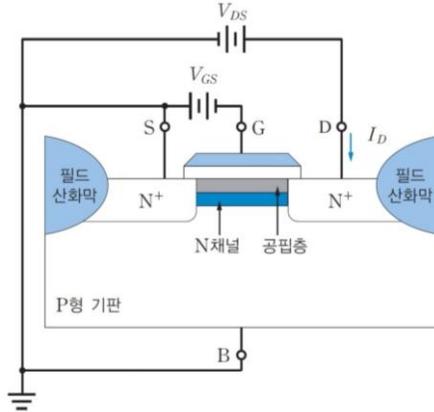
(a) 공핍형 N채널 MOSFET

(b) 공핍형 P채널 MOSFET

[그림 3-10] 공핍형 MOSFET의 기호

공핍형 MOSFET의 동작원리

- 게이트에 의 전압이 인가되면, N채널 영역의 전자가 기판 아래쪽으로 밀려나고, 그 자리에 공핍층이 형성됨 → 드레인 전류가 함
 → 의 전압 크기에 의해 드레인 전류를 조절함
- 공핍형 MOSFET의 문턱전압
 - 채널영역 전체가 공핍층으로 채워져 전류를 운반하는 캐리어가 없어지고, 드레인 전류가 흐르지 못하는 임계 전압
 - N채널 MOSFET; $V_{Tn} < 0$
 - P채널 MOSFET; $V_{Tp} > 0$



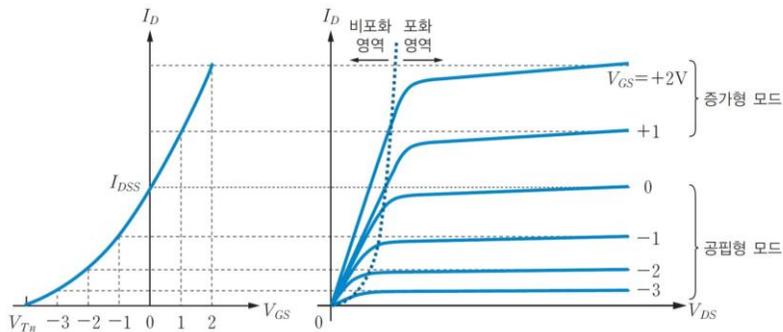
[그림 3-11] 공핍형 N채널 MOSFET의 동작 원리

공핍형 MOSFET

- ❖ 드레인 포화전류 I_{DSS}
 - $V_{GS} = 0V$ 일 때의 드레인 전류
 - 채널 폭 W 와 채널 길이 L 의 비(ratio)에 의해 조정됨

$$I_{DSS} = \text{[Blank Box]}$$

(3.5)



[그림 3-12] 공핍형 MOSFET의 전류-전압 및 전달특성

공핍형 MOSFET

핵심포인트 공핍형 N채널 MOSFET의 특성

- 게이트 단자에 인가되는 음(-)의 전압이 커질수록 채널의 공핍층이 확대되어 드레인 전류가 감소하는 소자이다.
- 채널 영역의 캐리어를 모두 제거하여 드레인 전류를 0으로 만들기 위해 필요한 최소의 게이트 전압이 문턱전압이며, $V_{Tn} < 0$ 이다.
- 증가형 N채널 MOSFET와 유사한 전류-전압 특성을 가지며, V_{GS} , V_{DS} 의 상대적인 크기에 따라 차단모드, 비포화모드, 포화모드로 동작한다.

3.2 MOSFET의 바이어스

3.2.1 부하선과 동작점

3.2.2 증가형 MOSFET의 바이어스

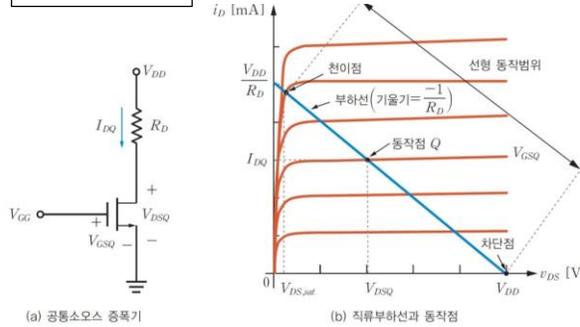
3.2.3 공핍형 MOSFET의 바이어스

부하선(load line)

- 부하전류의 변화에 따라 부하 양단에 나타나는 전압변화의 궤적을 그린 직선
- 직류부하선 상에 트랜지스터의 동작점(Q점)이 설정됨
- MOSFET를 증폭기로 사용하기 위해서는 영역의 근처에 동작점을 설정

$$V_{DSQ} = V_{DD} - R_D I_{DQ} \quad (3.6)$$

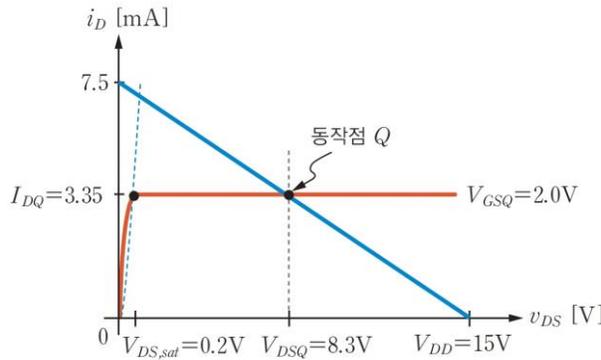
$$I_D = \quad (3.7)$$



[그림 3-13] 공통소스 증폭기의 직류부하선과 동작점

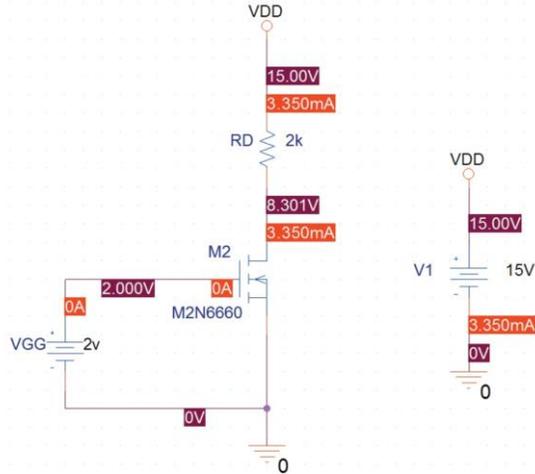
[예제 3-2]

[그림 3-13(a)]의 회로에 대해 동작점 전압과 전류를 구하고, 직류부하선을 그려서 동작점을 표시하라. 단, $R_D = 2k\Omega$, $V_{GG} = 2.0V$, $V_{DD} = 15V$ 이고, MOSFET 파라미터는 $V_{Tn} = 1.8V$, $K_n = 167.5mA/V^2$ 이다.



[그림 3-14] [예제 3-2]의 부하선과 동작점

[예제 3-2] 시뮬레이션 결과

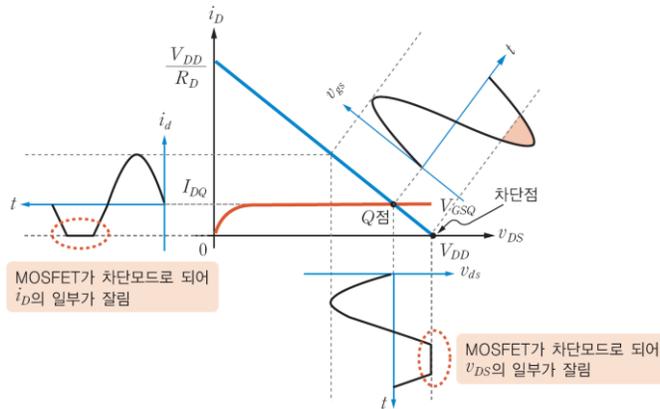


[그림 3-15] [예제 3-2]의 DC 바이어스 시뮬레이션 결과

동작점에 따른 입출력 파형의 왜곡

❖ 동작점이 차단점 근처로 치우친 경우

- 입력전압의 음(-)의 반주기 중 일부에서 MOSFET가 차단모드로 동작하여 드레인 전류가 0이 되는 부분이 발생 → 출력파형에 이 발생

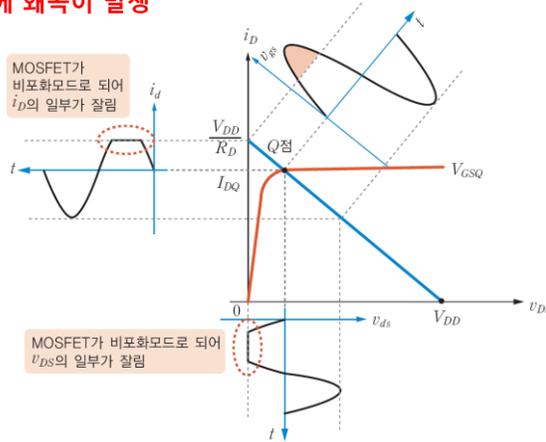


(a) 동작점이 차단점 근처로 치우친 경우

동작점에 따른 입출력 파형의 왜곡

❖ 동작점이 **천이점 근처**로 치우친 경우

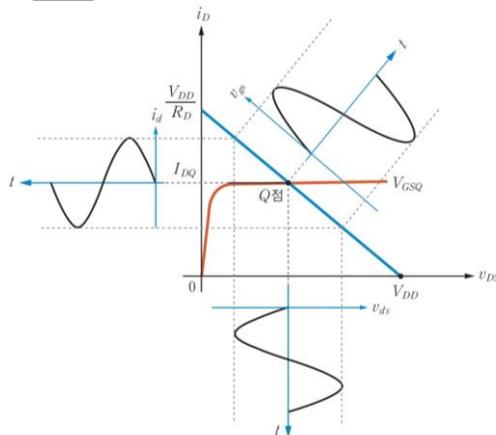
- 입력전압의 양(+)**의 반주기** 중 일부에서 MOSFET가 비포화모드로 동작
→ **출력파형에 왜곡이 발생**



(b) 동작점이 천이점 근처로 치우친 경우

동작점에 따른 입출력 파형의 왜곡

❖ MOSFET 증폭기에서 선형으로 동작하는 신호범위를 최대로 하기 위해서는 영역의 근처에 동작점이 설정되어야 함

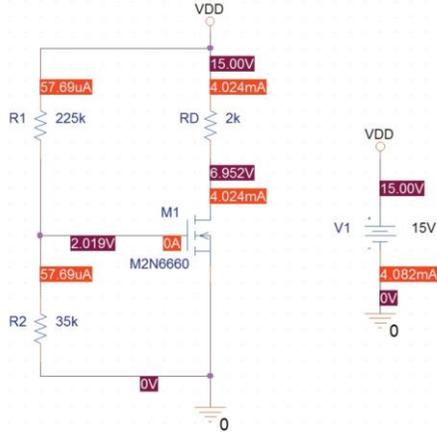


(c) 동작점이 포화영역 중앙 근처에 설정된 경우

[그림 3-17] 동작점에 따른 입출력 파형의 왜곡

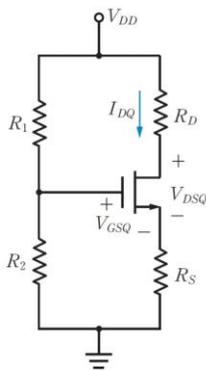
[예제 3-4] 시뮬레이션 결과

[그림 3-19] 회로의 동작점 전압과 전류를 구하고, MOSFET가 포화모드로 동작하는지 확인하라. 단, $R_1=225k\Omega$, $R_2=35k\Omega$, $R_D=2k\Omega$, $V_{DD}=15V$ 이고, MOSFET 파라미터는 $V_{Tn}=1.8V$, $K_n=167.5mA/V^2$ 이다.

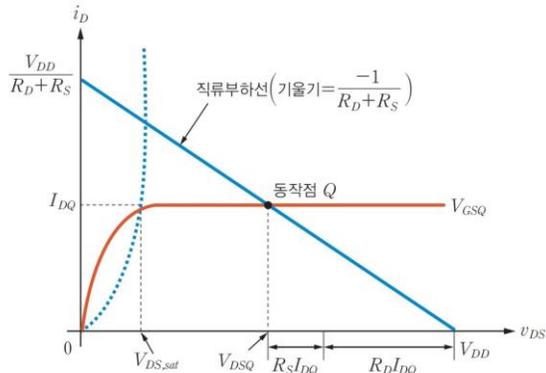


[그림 3-20] [예제 3-4]의 DC 바이어스 시뮬레이션 결과

자기 바이어스(Self bias)



(a) 자기 바이어스 회로



(b) 직류부하선 및 동작점

[그림 3-22] MOSFET의 자기 바이어스 회로와 직류부하선 및 동작점

자기 바이어스

$$V_{GQ} = \left(\frac{R_2}{R_1 + R_2} \right) V_{DD} \quad (3.11)$$

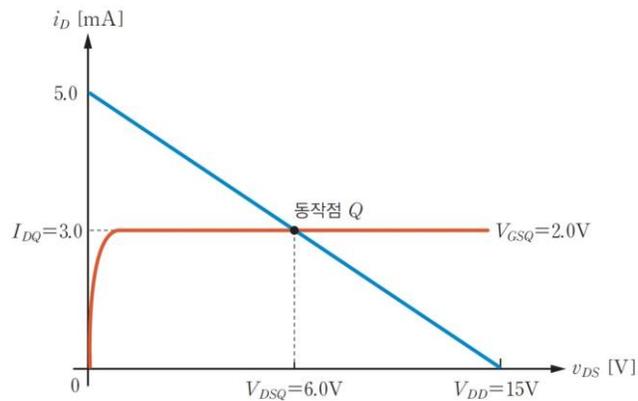
$$V_{GSQ} = V_{GQ} - R_S I_{DQ} \quad (I_{SQ} = I_{DQ}) \quad (3.12)$$

$$V_{DSQ} = \boxed{} \quad (3.13)$$

$$I_D = \boxed{} \quad (3.14)$$

[예제 3-5]

[그림 3-22(a)] 회로의 동작점 전압과 전류를 구하고, 출력특성 곡선에 부하선을 그려서 동작점을 표시하라. 단, $R_1=140\text{k}\Omega$, $R_2=70\text{k}\Omega$, $R_D=2\text{k}\Omega$, $R_S=1\text{k}\Omega$, $V_{DD}=15\text{V}$ 이고, MOSFET 파라미터는 $V_{Tn}=1.8\text{V}$, $K_n=150\text{mA/V}^2$ 이다.

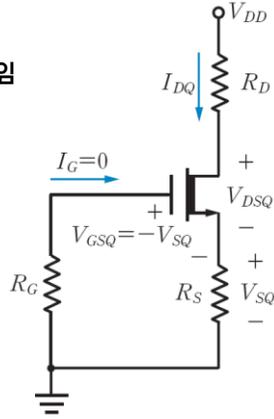


[그림 3-23] [예제 3-5]의 부하선과 동작점

공핍형 MOSFET의 바이어스

❖ 자기바이어스

- 저항 R_S 를 추가하여 바이어스 안정도를 높임



[그림 3-26] 공핍형 N채널 MOSFET의 바이어스 (b) 자기 바이어스

$$I_{DQ} = \frac{1}{2}K_n(V_{GSQ} - V_{Tn})^2 = \frac{1}{2}K_n(-V_{SQ} - V_{Tn})^2 \quad (3.17)$$

$$V_{DSQ} = \boxed{} \quad (3.18)$$

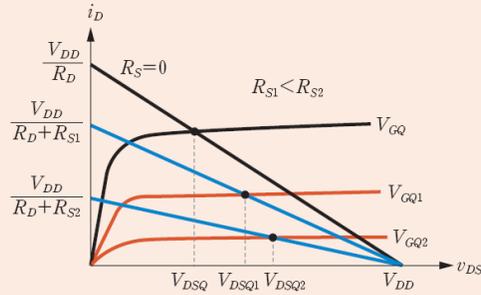
[예제 3-6]

[그림 3-26(b)]의 회로에서 바이어스 전류 I_{DQ} 와 전압 V_{DSQ} 를 구하라. 단, $V_{DD}=10\text{V}$ 이고, $R_D=30\text{k}\Omega$, $R_S=5\text{k}\Omega$ 이며, MOSFET의 파라미터는 $V_{Tn}=-1.0\text{V}$, $K_n=2\text{mA/V}^2$ 이다.

자기 바이어스 회로의 특성

핵심포인트 자기 바이어스 회로의 특성

- 다른 조건들이 동일한 상태에서, 소오스 저항 R_S 가 클수록
 - 부하선의 기울기는 작아진다.
 - 바이어스 전류 I_{DQ} 는 작아지며, 드레인-소오스 바이어스 전압 V_{DSQ} 는 커진다.

[그림 3-27] 소오스 저항 R_S 에 따른 부하선과 동작점의 변화

3.3 MOSFET의 소신호 등가모델

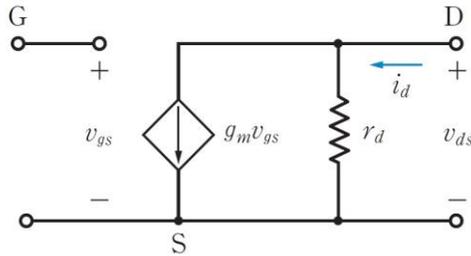
3.3.1 하이브리드- π 소신호 등가모델

3.3.2 전달컨덕턴스

3.3.3 소신호 드레인 저항

MOSFET의 소신호 등가모델(small-signal equivalent circuit)

- ❖ 저주파(low frequency) 등가모델: 주파수 특성이 포함되지 않음
 - MOSFET 내부의 기생 정전용량(parasitic capacitance)를 고려하지 않음
- ❖ 고주파(high frequency) 등가모델: 주파수 특성이 포함됨
 - MOSFET 내부의 기생 정전용량을 고려함
- ❖ 게이트가 산화막에 의해 절연되어 있어 **게이트 단자가** 되어 있음



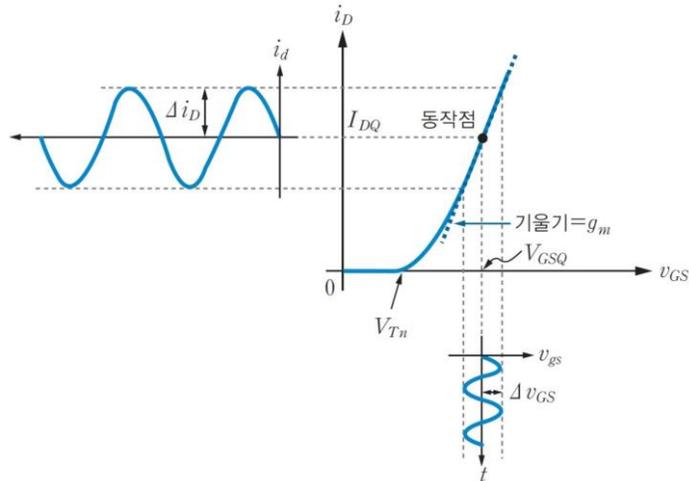
[그림 3-28] MOSFET의 소신호 등가모델

전달컨덕턴스 g_m

- 포화영역에서 동작하는 MOSFET는 게이트-소오스 전압 v_{GS} 에 의해 제어되는 으로 동작함
 - 전달컨덕턴스(transconductance) g_m 으로 모델링
- g_m 은 증폭기의 전압이득에 직접적으로 관련되는 중요한 파라미터임

$$g_m \equiv \left. \frac{di_D}{dv_{GS}} \right|_{Q\text{점}} \quad (3.19)$$

$$\Delta i_D = g_m \Delta v_{GS} \quad (3.20)$$

전달컨덕턴스 g_m 

[그림 3-29] MOSFET의 전달컨덕턴스 정의

전달컨덕턴스 g_m

$$g_m \equiv \left. \frac{di_D}{dv_{GS}} \right|_{Q\text{점}} = \boxed{} \quad (3.21)$$

$$g_m = \boxed{} \quad (3.22)$$

$$g_m = \boxed{} \quad (3.23)$$

핵심포인트 N채널 MOSFET의 전달컨덕턴스

- g_m 은 MOSFET의 채널 폭과 채널 길이의 비(W/L)에 비례한다.
- 주어진 K_n 값에 대해 g_m 은 $V_{GSQ} - V_{Tn}$ 또는 $\sqrt{I_{DQ}}$ 에 비례한다.
- 주어진 $V_{GSQ} - V_{Tn}$ 에 대해 g_m 은 I_{DQ} 에 비례한다.
- 주어진 I_{DQ} 에 대해 g_m 은 $V_{GSQ} - V_{Tn}$ 에 반비례한다.

소신호 드레인 저항

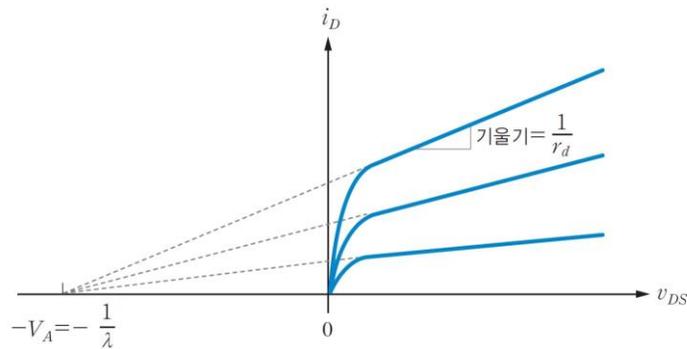
- ❖ 채널길이변조 효과; V_{DS} 가 증가할수록 채널의 핀치-오프가 확대되어 유효 채널길이가 감소하고, 드레인 전류가 함
- MOSFET의 드레인 전압이 증가할수록 드레인 전류가 증가함
 - 소신호 드레인 저항 r_d 로 나타남 (V_A : 전압)

$$i_D = \frac{1}{2} K_n (v_{GS} - V_{Tn})^2 (1 + \text{input}) \quad (3.24)$$

소신호 드레인 저항

$$r_d \equiv \left(\frac{dv_{DS}}{di_{DS}} \right)_{Q\text{점}} \quad (3.25)$$

$$r_d = \frac{2}{\lambda K_n (V_{GSQ} - V_{Tn})^2} \approx \frac{1}{\lambda I_{DQ}} = \text{input} \quad (3.26)$$



[그림 3-30] 채널길이변조 효과가 고려된 MOSFET의 전류-전압 특성과 드레인 저항

3.4 MOSFET 증폭기

3.4.1 공통소오스 증폭기

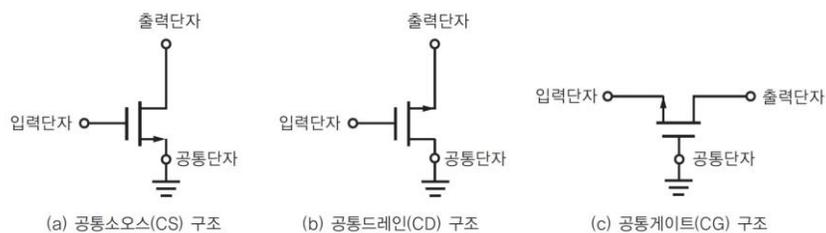
3.4.2 소오스 저항을 갖는 공통소오스 증폭기

3.4.3 공통드레인 증폭기

3.4.4 공통게이트 증폭기

3.4.5 MOSFET 증폭기의 특성 비교

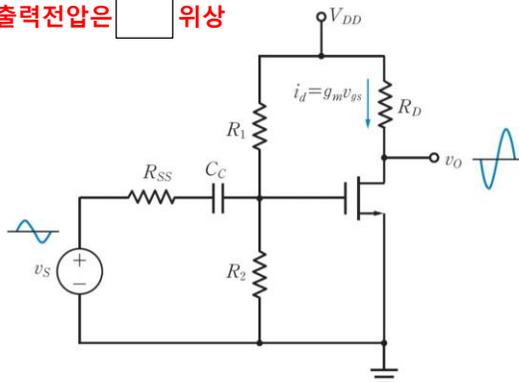
MOSFET 증폭기의 기본 구조



[그림 3-31] MOSFET 증폭기의 기본 구조

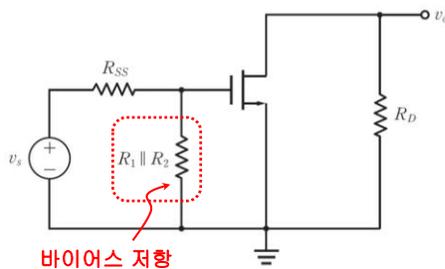
공통소오스 증폭기

- 입력전압 v_s 에 의한 게이트-소오스 전압의 변화가 MOSFET의 전달컨덕턴스 g_m 배 만큼 증폭되어 드레인 전류로 나타남. 드레인 전류와 R_D 의 곱에 의해 드레인에서 출력전압이 얻어짐
- 게이트에 인가되는 작은 전압이 드레인에서 큰 전압으로 이 일어남
- 입력전압과 출력전압은 위상

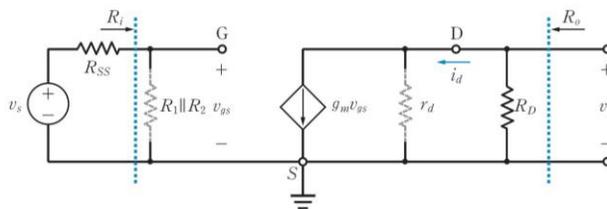


[그림 3-32] 공통소오스 증폭기

공통소오스 증폭기



(a) 교류 등가회로



(b) 소신호 등가회로

[그림 3-33] 공통소오스 증폭기의 교류 및 소신호 등가회로

공통소오스 증폭기

❖ 전압이득

$$v_o = -g_m v_{gs} R_D \quad (3.27)$$

$$A_v \equiv \frac{v_o}{v_s} = \boxed{} \quad (3.28)$$

→ 마이너스 부호는 입력전압과 출력전압의 위상관계를 나타냄

❖ 입력저항

$$R_i = \boxed{} \quad (3.29)$$

❖ 출력저항

$$R_o = \boxed{} \quad (3.30)$$

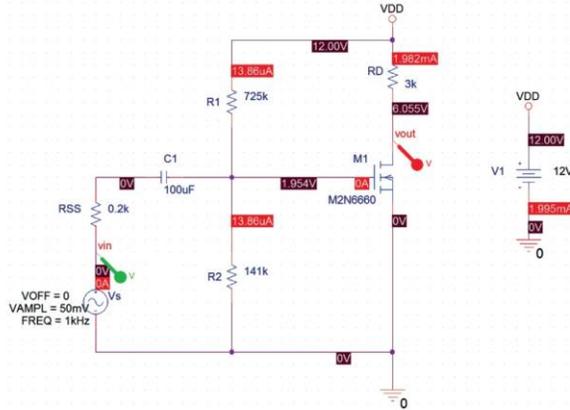
공통소오스 증폭기

핵심포인트 공통소오스 증폭기의 특성

- 전압이득(식 (3.28)) : MOSFET의 전달컨덕턴스 g_m 과 부하저항 R_D 의 곱으로 주어지며, 마이너스 부호는 입력전압과 출력전압의 위상이 반전 관계임을 의미한다.
- 입력저항(식 (3.29)) : 바이어스 저항 R_1, R_2 에 의해 $R_i = R_1 \parallel R_2$ 이다.
- 출력저항(식 (3.30)) : 드레인 저항 R_D 이다.

[예제 3-7] 시뮬레이션 결과

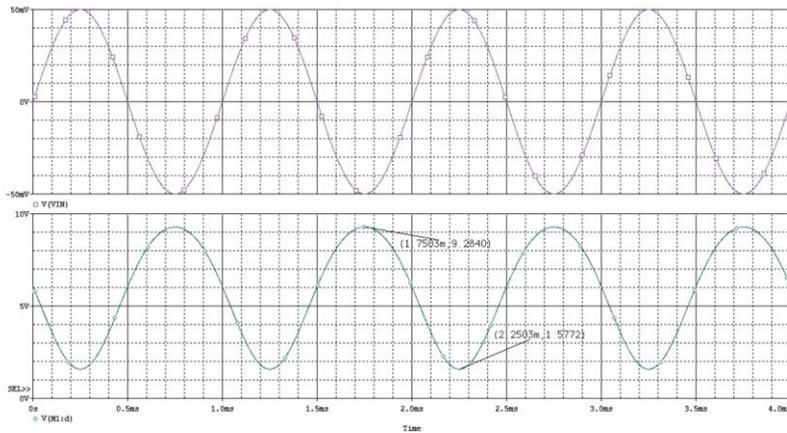
[그림 3-32]의 공통소오스 증폭기의 소신호 전압이득과 입력저항, 출력저항을 구하라. 단, $R_{SS}=0.2k\Omega$, $R_1=725k\Omega$, $R_2=141k\Omega$, $R_D=3k\Omega$, $V_{DD}=12V$ 이고, MOSFET의 파라미터 값은 $V_{Tn}=1.8V$, $K_n=167mA/V^2$, $\lambda=0$ 이다. 결합 커패시터의 영향은 무시한다.



[그림 3-34] [예제 3-7]의 DC 바이어스 시뮬레이션 결과

[예제 3-7] 시뮬레이션 결과

- 시뮬레이션 결과; $A_v = -77.07 V/V$
- 식 (3.28)의 계산값; $A_v = -75.18 V/V$

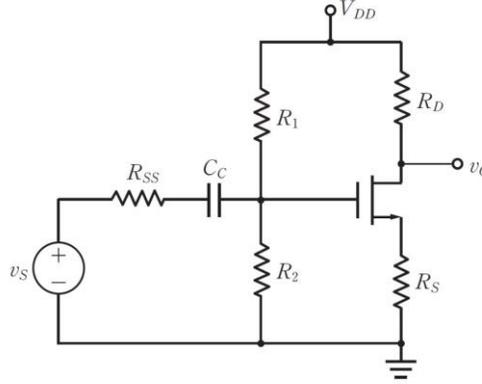


[그림 3-35] [예제 3-7]의 Transient 시뮬레이션 결과

소오스 저항을 갖는 공통소오스 증폭기

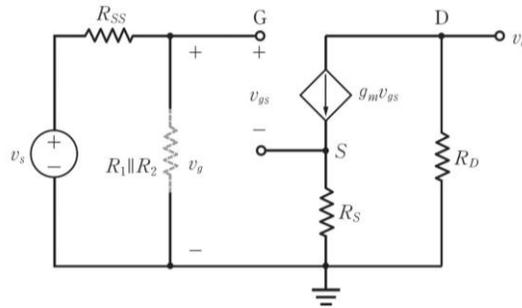
❖ 소오스 저항 R_S

- 드레인 바이어스 전류 I_{DQ} 의 변동을 작게 만들어 동작점(Q점)이 안정화됨



(a) 회로

소오스 저항을 갖는 공통소오스 증폭기



(b) 소신호 등가회로

[그림 3-37] 소오스 저항 R_S 를 갖는 공통소오스 증폭기

$$v_o = -(g_m v_{gs}) R_D \quad (3.31)$$

$$v_g = v_{gs} + g_m v_{gs} R_S = (1 + g_m R_S) v_{gs} \quad (3.32)$$

$$v_o = \frac{-g_m R_D}{1 + g_m R_S} v_g \quad (3.33)$$

소오스 저항을 갖는 공통소오스 증폭기

❖ 전압이득

$$A_v \equiv \frac{v_o}{v_s} = \boxed{} \quad (3.34)$$

$$A_v \simeq \frac{-g_m R_D}{1 + g_m R_S} \simeq \boxed{} \quad (3.35)$$

→ $R_S = 0$ 인 경우에 비해 감소함

→ 근사적으로 g_m 의 변동에 무관하게 R_D 와 R_S 의 비(ratio)로 주어짐

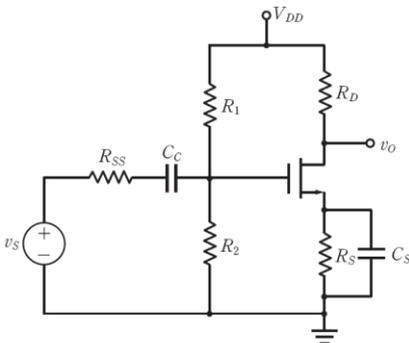
핵심포인트 소오스 저항 R_S 가 전압이득에 미치는 영향

- 전압이득의 근삿값은 소오스 저항 R_S 와 부하저항 R_D 의 비(ratio)로 결정되며, 온도나 트랜지스터 특성 편차에 의한 영향이 감소하는 장점이 있다.
- 증폭기의 동작점과 전압이득이 안정화되는 장점이 있지만, 전압이득이 감소하는 단점도 수반되어 상호간에 교환조건(Trade-off)이 존재한다.

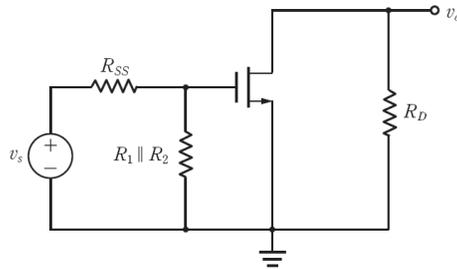
바이패스 커패시터의 역할

- 동작주파수 범위에서 임피던스가 매우 작아지도록 충분히 큰 값의 커패시터를 사용하면 C_S 를 단락회로로 취급할 수 있음

→ 교류신호에 대해서는 R_S 가 단락된 것으로 취급되어 R_S 에 의한 소신호 전압이득의 감소가 발생하지 않음



(a) 바이패스 커패시터 C_S 를 갖는 경우

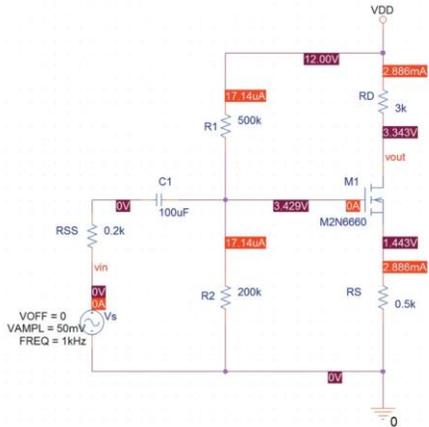


(b) 교류 등가회로(C_S 가 단락회로로 취급됨)

[그림 3-38] 바이패스 커패시터를 갖는 공통소오스 증폭기

[예제 3-8]

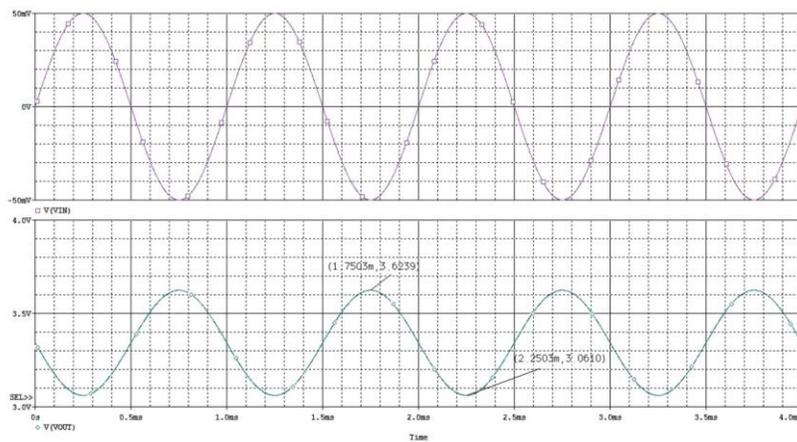
[그림 3-37(a)]의 소오스 저항을 갖는 공통소오스 증폭기에서 소신호 전압이득을 구하라. 단, $R_{SS}=0.2k\Omega$, $R_1=500k\Omega$, $R_2=200k\Omega$, $R_D=3k\Omega$, $R_S=0.5k\Omega$, $V_{DD}=12V$ 이고, MOSFET의 파라미터 값은 $V_{Tn}=1.8V$, $K_n=160mA/V^2$ 이다. $\lambda=0$, $C_C \rightarrow \infty$ 로 가정한다.



[그림 3-39] [예제 3-8]의 DC 바이어스 시뮬레이션 결과

[예제 3-8] 시뮬레이션 결과

- 시뮬레이션 결과; $A_v = -5.63 V/V$
- 식 (3.34)의 계산값; $A_v = -5.63 V/V$



[그림 3-40] [예제 3-8]의 Transient 시뮬레이션 결과

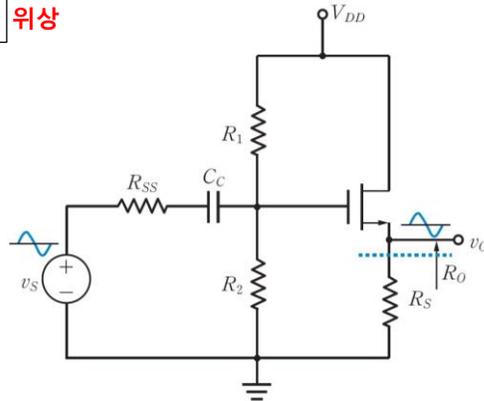
공통드레인 증폭기

▪ 소오스 전압이 V_{Tn} 의 차를 유지하면서 게이트 전압을 따라감

→ 전압이득; $A_v \approx 1$ V/V

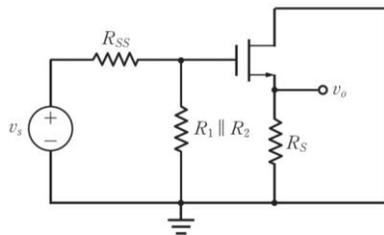
→ 라고도 함

→ 입력전압과 출력전압은 위상

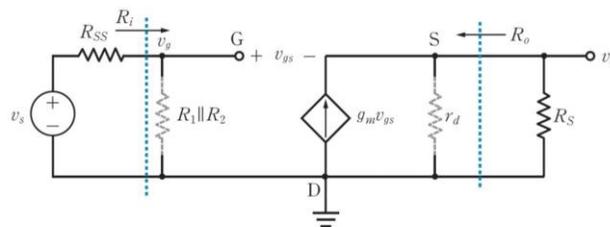


[그림 3-42] 공통드레인 증폭기 회로

공통드레인 증폭기



(a) 교류 등가회로



(b) 소신호 등가회로

[그림 3-43] 공통드레인 증폭기의 교류 및 소신호 등가회로

공통드레인 증폭기

❖ 전압이득; 1에 가까운 값을 가짐

$$v_o = g_m v_{gs} R_S \quad (3.36)$$

$$v_s = v_{gs} + v_o = v_{gs} + g_m v_{gs} R_S = (1 + g_m R_S) v_{gs} \quad (3.37)$$

$$v_{gs} = \frac{v_s}{1 + g_m R_S} \quad (3.38)$$

$$v_o = \left(\frac{g_m R_S}{1 + g_m R_S} \right) v_s \quad (3.39)$$

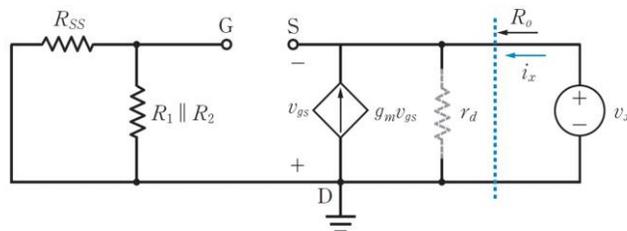
$$A_v \equiv \frac{v_o}{v_s} = \boxed{} \quad (3.40)$$

공통드레인 증폭기

❖ 출력저항

▪ 매우 $\boxed{}$ 값을 가짐

$$R_o \equiv \frac{v_x}{i_x} = \frac{-v_{gs}}{-g_m v_{gs}} = \boxed{} \quad (3.41)$$



[그림 3-44] 공통드레인 증폭기의 출력저항을 구하기 위한 등가회로

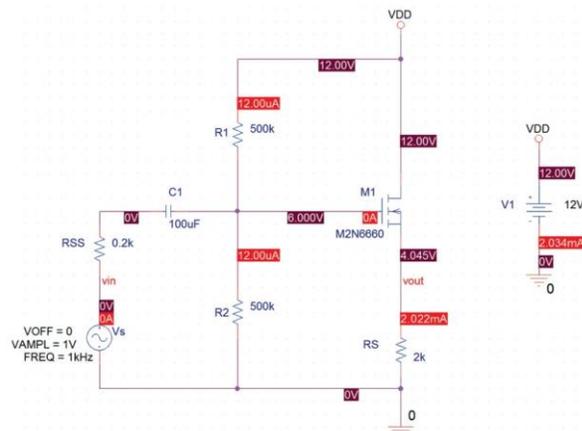
공통드레인 증폭기

핵심포인트 공통드레인 증폭기의 특성

- 전압이득(식 (3.40)) : 근사적으로 1에 가까운 값을 갖는다.
- 출력저항(식 (3.41)) : 매우 작은 출력저항을 갖는다.
- 전압이득이 1에 가깝고, 큰 입력저항과 매우 작은 출력저항을 가지므로, 임피던스 매칭용 버퍼 buffer로 사용된다.

[예제 3-9]

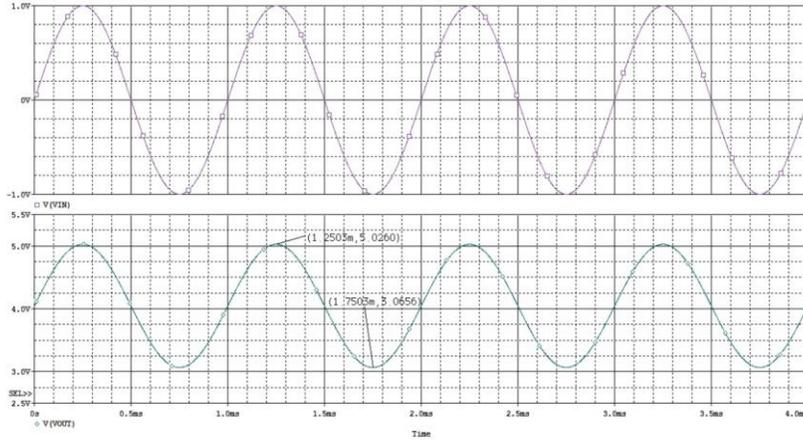
[그림 3-42]의 공통드레인 증폭기 회로에 대하여 소신호 전압이득과 출력저항을 구하라. 단, $R_{SS}=0.2k\Omega$, $R_1=R_2=500k\Omega$, $R_S=2k\Omega$, $V_{DD}=12V$ 이고, MOSFET 파라미터는 $V_{Tn}=1.8V$, $K_n=100mA/V^2$ 이며, $\lambda=0$ 이라고 가정한다.



[그림 3-45] [예제 3-9]의 DC 바이어스 시뮬레이션 결과

[예제 3-9] 시뮬레이션 결과

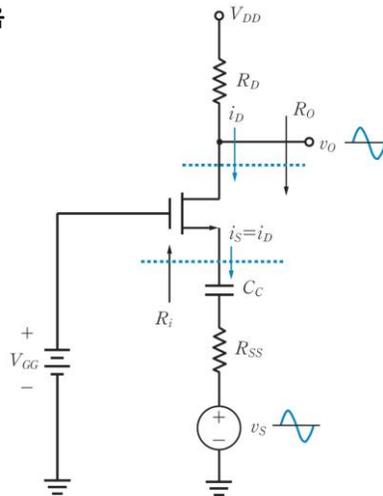
- 시뮬레이션 결과; $A_v = 0.98 \text{ V/V}$
- 식 (3.40)의 계산값; $A_v = 0.976 \text{ V/V}$



[그림 3-46] [예제 3-9]의 Transient 시뮬레이션 결과

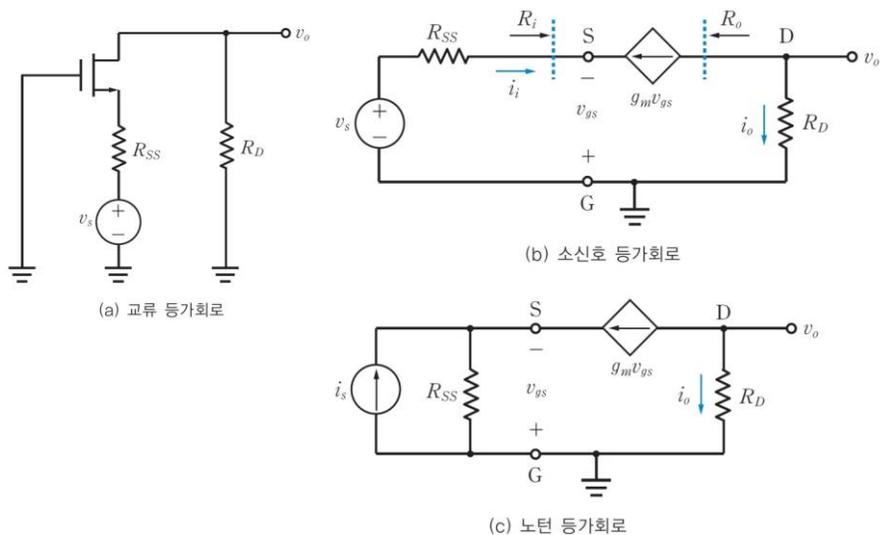
공통게이트 증폭기

- 소오스에 인가되는 입력전압에 의해 소오스 전류 i_S 가 변하며,
드레인 전류 i_D 는 소오스 전류 i_S 와 같음
→ 전류이득; $A_i = 1 \text{ A/A}$
→ 입력전압과 출력전압은 위상



[그림 3-48] 공통게이트 증폭기 회로

공통게이트 증폭기



[그림 3-49] 공통게이트 증폭기의 등가회로

공통게이트 증폭기

❖ 전압이득

$$v_o = -g_m v_{gs} R_D \quad (3.42)$$

$$v_s = -g_m v_{gs} R_{SS} - v_{gs} = -(1 + g_m R_{SS}) v_{gs} \quad (3.43)$$

$$v_{gs} = \frac{-v_s}{1 + g_m R_{SS}} \quad (3.44)$$

$$A_v \equiv \frac{v_o}{v_s} = \frac{g_m R_D}{1 + g_m R_{SS}} \quad (3.45)$$

공통게이트 증폭기

❖ 전류이득; 근사적으로 1에 가까운 값을 가짐

$$i_s + \frac{v_{gs}}{R_{SS}} + g_m v_{gs} = 0 \quad (3.46)$$

$$v_{gs} = -\left(\frac{R_{SS}}{1 + g_m R_{SS}}\right) i_s \quad (3.47)$$

$$i_o = -g_m v_{gs} \quad (3.48)$$

$$A_i \equiv \frac{i_o}{i_s} = \boxed{} \quad (3.49)$$

❖ 입력저항; 매우 작은 값을 가짐

$$R_i = \frac{-v_{gs}}{i_i} = \frac{-v_{gs}}{-g_m v_{gs}} = \boxed{} \quad (3.50)$$

❖ Current Buffer(전류 버퍼)로 사용됨

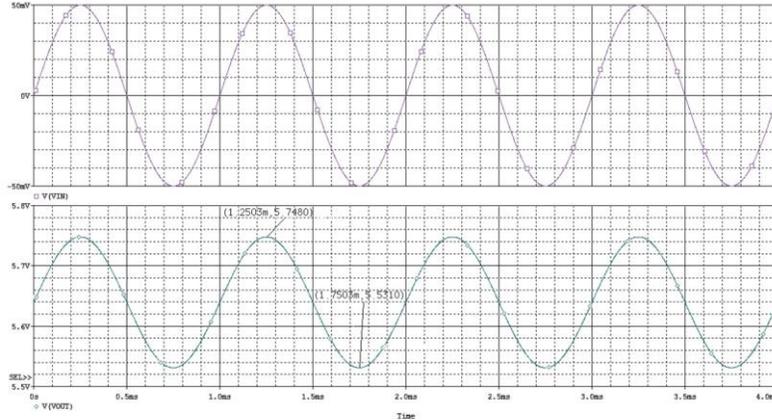
공통게이트 증폭기

핵심포인트 공통게이트 증폭기의 특성

- 전압이득(식 (3.45)) : 전압이득이 크지 않아 단독으로 사용되지 않는다. 공통소오스-공통게이트의 캐스코드 cascode 증폭기로 구성되어 주파수 특성을 개선하기 위해 사용된다.
- 전류이득(식 (3.49)) : 근사적으로 1에 가까운 값을 갖는다.
- 입력저항(식 (3.50)) : $R_i = \frac{1}{g_m}$ 로 매우 작은 입력저항을 갖는다.
- 출력저항 : 드레인 단자의 소신호 출력저항 r_d 가 매우 크므로, 매우 큰 출력저항을 갖는다.
- 전류이득이 1에 가깝고, 매우 작은 입력저항과 큰 출력저항을 가지므로, 전류버퍼 current buffer로 사용된다.

[예제 3-10] 시뮬레이션 결과

[그림 3-48] 공통게이트 증폭기의 전압이득, 전류이득, 그리고 입력저항을 구하라. 단, $R_{SS}=1.8k\Omega$, $R_D=4k\Omega$, MOSFET의 드레인 바이어스 전류는 $I_D=1.6mA$, $K_n=162mA/V^2$ 이고, $\lambda=0$ 으로 가정한다.



[그림 3-50] [예제 3-10]의 Transient 시뮬레이션 결과

MOSFET 증폭기의 특성 비교

[표 3-1] MOSFET 증폭기의 기본적인 특성

증폭기 구조	전압이득	전류이득	입력저항	출력저항
CS	$A_v = -g_m R_D$	-	∞	$R_o = r_d$
소오스 저항 R_S 를 갖는 CS	$A_v \approx -\frac{R_D}{R_S}$	-	∞	$R_o = r_d$
CD	$A_v \approx 1$	-	∞	$R_o \approx \frac{1}{g_m}$
CG	$A_v = \frac{g_m R_D}{1 + g_m R_{SS}}$	$A_i \approx 1$	$R_i \approx \frac{1}{g_m}$	$R_o = r_d$

3.5 PSPICE 시뮬레이션 실습

실습 3-1

실습 3-2

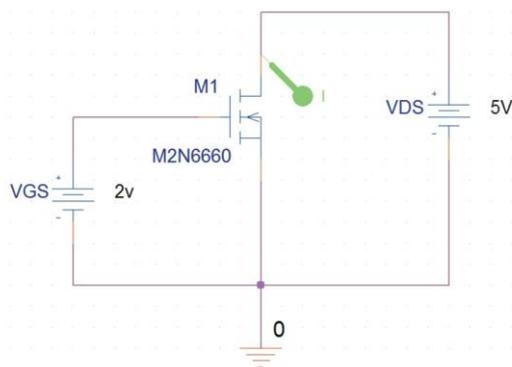
실습 3-3

실습 3-4

3.5 PSPOCE 시뮬레이션 실습

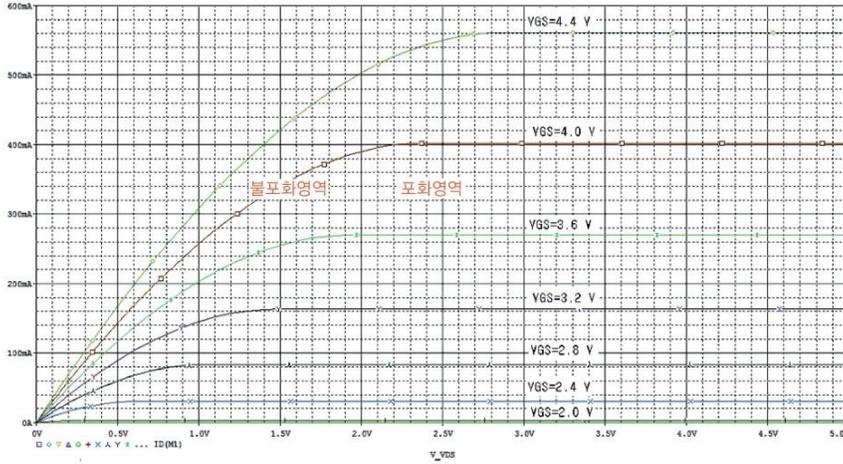
[실습 3-1]

[그림 3-51]의 증가형N채널 MOSFET를 PSPICE 시뮬레이션하여 드레인 전압-전류 특성($V_{DS} - I_D$)과 게이트 전압-드레인 전류특성($V_{GS} - I_D$)을 확인하라.



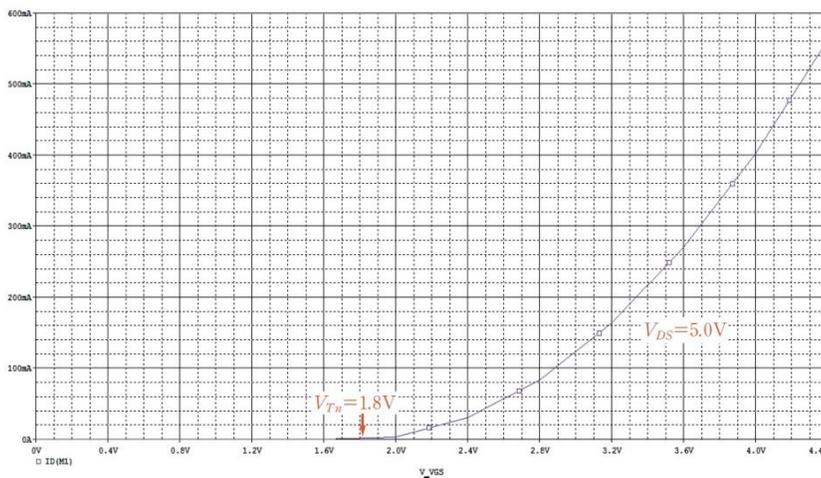
[그림 3-51] [실습 3-1]의 시뮬레이션 실습 회로

[실습 3-1] 시뮬레이션 결과



(a) $I_D - V_{DS}$ 특성

[실습 3-1] 시뮬레이션 결과

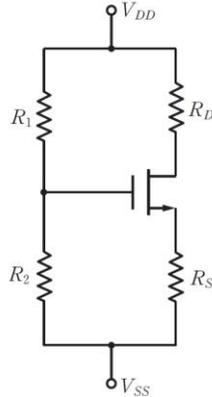


(b) $V_{GS} - I_D$ 전달 특성

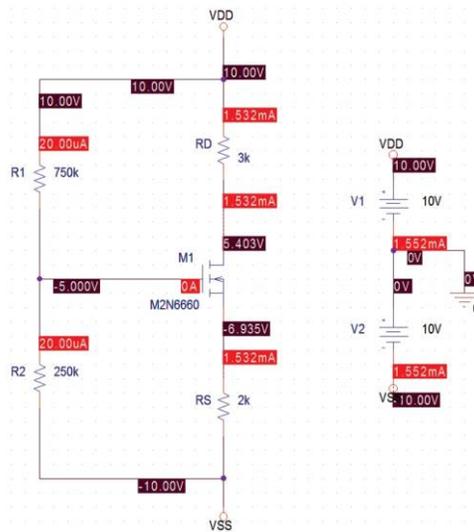
[그림 3-52] [실습 3-1]의 시뮬레이션 결과

[실습 3-2]

[그림 3-53] 증가형 N채널 MOSFET 회로를 PSPICE 시뮬레이션하여 동작점 전압과 전류를 확인하라. 단, $V_{DD} = 10V$, $V_{SS} = -10V$, $R_1 = 750k\Omega$, $R_2 = 250k\Omega$, $R_D = 3k\Omega$, $R_S = 2k\Omega$ 이다.



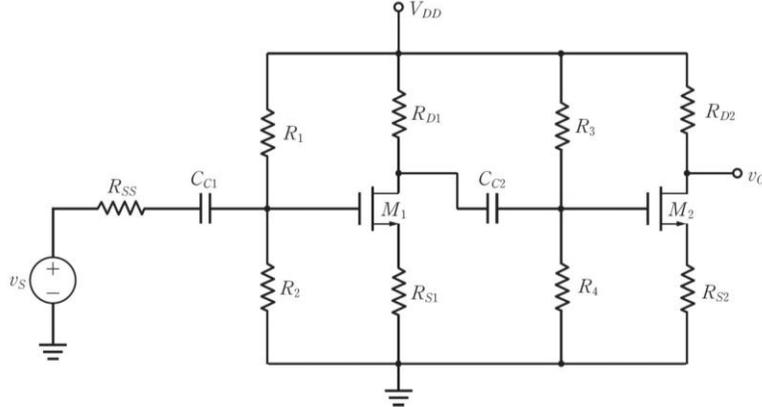
[그림 3-53] [실습 3-2]의 시뮬레이션 실습 회로

[실습 3-2] 시뮬레이션 결과

[그림 3-54] [실습 3-2]의 DC 바이어스 시뮬레이션 결과

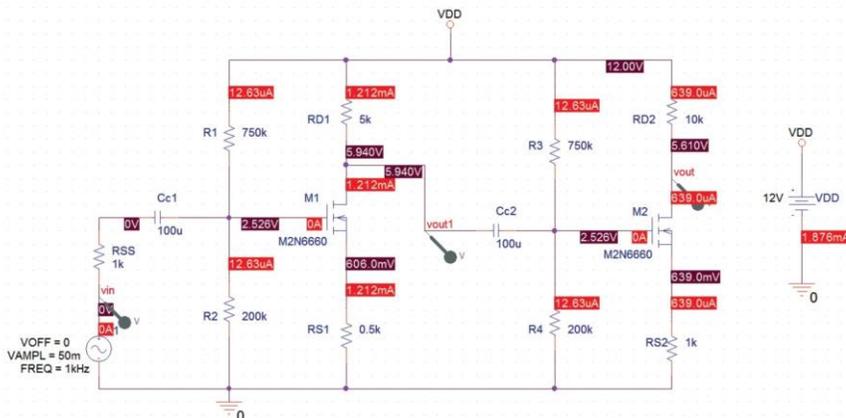
[실습 3-3]

[그림 3-55]의 2단 공통소오스 증폭기 회로를 PSPICE 시뮬레이션하여 소신호 전압 이득을 구하라. 단, $R_{SS} = 1k\Omega$, $R_1 = R_3 = 750k\Omega$, $R_2 = R_4 = 200k\Omega$, $R_{D1} = 5k\Omega$, $R_{D2} = 10k\Omega$, $R_{S1} = 0.5k\Omega$, $R_{S2} = 1k\Omega$, $V_{DD} = 12V$ 이다.



[그림 3-55] [실습 3-3]의 시뮬레이션 실습 회로

[실습 3-3] 시뮬레이션 결과

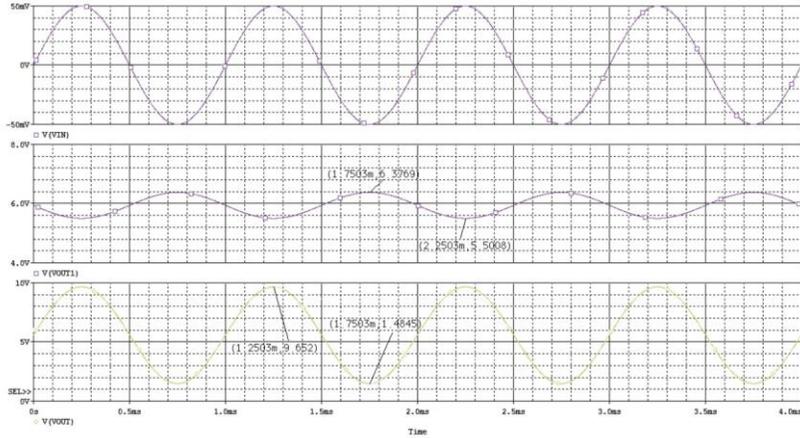


[그림 3-56] [실습 3-3]의 DC 바이어스 시뮬레이션 결과

[실습 3-3] 시뮬레이션 결과

❖ 전체 증폭기의 전압이득: $A_v = A_{v1}A_{v2} = 81.68 V/V$

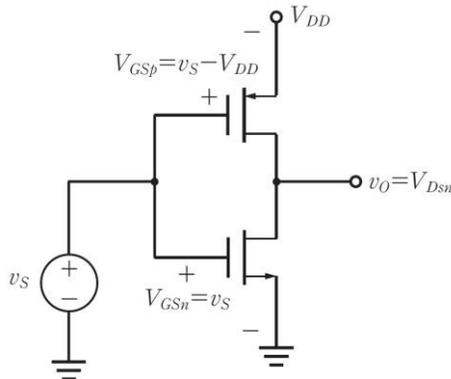
- $A_{v1} = -8.76 V/V$, $A_{v2} = -9.32 V/V$



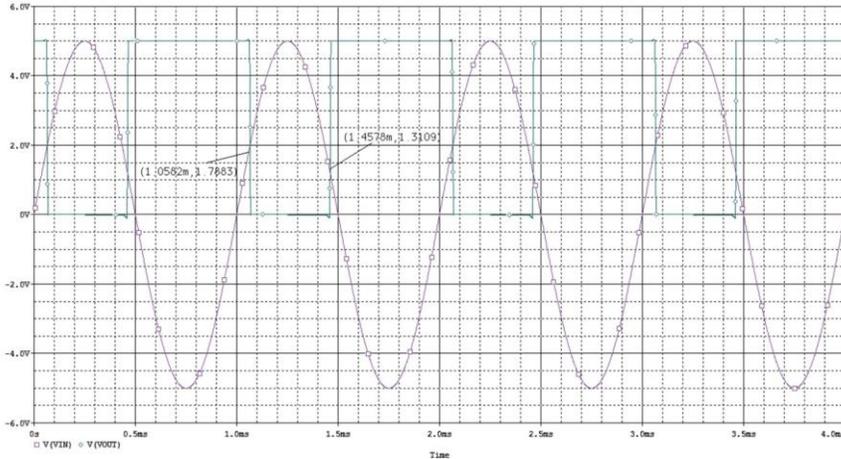
[그림 3-57] [실습 3-3]의 Transient 시뮬레이션 결과

[실습 3-4]

[그림 3-58]은 증가형 N채널 MOSFET와 P채널 MOSFET를 스위치로 사용하는 디지털 인버터 회로이다. PSPICE 시뮬레이션하여 출력파형을 확인하라. 입력 v_S 는 진폭이 5V이고 주파수가 1kHz인 정현파이고, $V_{DD} = 5V$ 이다.



[그림 3-58] [실습 3-4]의 시뮬레이션 실습 회로

[실습 3-4] 시뮬레이션 결과

[그림 3-59] [실습 3-4]의 Transient 시뮬레이션 결과

입에 달고 다녀야 할 말 7가지

From TTimes

**1. 이제 됐어!
(I'm done!)**

무언가를 할 때 사소한 것들에까지 신경을 쏟을 필요가 없다.

일정한 양 이상의 투자를 한다고 항상 더 좋은 결과가 나오는 것은 아니다.

**2. 뭘 좀 도와드릴까요?
(How can I help?)**

남을 먼저 도우면 후에 당신도 도움을 받기 쉽다.

지속적으로 사람 사이의 관계에 신경을 쓴다면 좋은 동료들 만들 수 있다.

입에 달고 다녀야 할 말 7가지

From TTimes

3. 사랑합니다.
(I love you)

사랑은 우리에게 용기를 준다.
사랑받는 기분은 힘을 준다.
사랑의 반대말은 증오가 아니라 무관심이다.
동료와 지인들에게 먼저 사랑을 전하라.

4. 내가 원하는 것은
이거야!
(I want this)

원하는 것을 찾고 분명히 표현하는 것은
원하는 것을 얻는 첫번째 단계다.

한빛아카데미

3장 MOSFET 증폭기

87/86

입에 달고 다녀야 할 말 7가지

From TTimes

5. 내가 이런 일을 했어!
(I did this)

당신이 행한 일들에 대해 자랑스러워하는 것은
매우 좋은 일이다.
이렇게 하면 당신은 더 성장할 수 있다.

6. 다 괜찮아질 거야!
(It'll be okay)

밤이 길어도 새벽은 꼭 찾아온다.
어떤 일을 하든 다른 이들의 시선을 두려워 말고
긍정적 태도로 끝까지 해내라.

한빛아카데미

3장 MOSFET 증폭기

88/86

입에 달고 다녀야 할 말 7가지

From TTimes

7. 고마워요 (Thank you)

지금의 당신이 있기까지 많은 이들의 도움을 받았을 것이다.
누구도 혼자 힘으로 사는 사람은 없다.
'감사해요'의 다른 말은
'당신 없이는 이 일을 해내지 못했을 거예요'이다.

Thank you!